

**CONCEPTOS DE ARQUITECTURA DE
COMPUTADORAS****Carrera/Plan:***Ingeniería en Computación Plan 2008/Plan 2011***Año 2025****Año:** 2º**Régimen de Cursada:** Semestral**Carácter:** Obligatoria**Correlativas:** Programación II**Profesor/es:** Horacio A. Villagarcía Wanza**Hs. semanales teoría:** 3 hs**Hs. semanales práctica:** 3 hs**FUNDAMENTACIÓN**

La asignatura profundiza los conocimientos de tecnología informática en Arquitectura de Procesadores. Estos conocimientos coadyuvarán a que como profesional pueda evaluar y verificar la utilización, eficiencia y confiabilidad de equipamiento informático (hardware) y también le serán necesarios para la configuración y dimensionamiento de sistemas de procesamiento de información.

OBJETIVOS GENERALES

Profundizar conceptos, de modo de lograr que el alumno comprenda los mecanismos internos de operación de una computadora. En particular analizar el manejo de memoria y periféricos vía interrupciones. Introducir los conceptos de máquinas no Von Neumann y procesadores de alta prestación.

CONTENIDOS MINIMOS (de acuerdo al Plan de Estudios)

- Lenguaje ensamblador.
- Jerarquías de memoria.
- Interrupciones.
- Vinculación de los módulos de un procesador vía memoria y vía interrupciones.
- Acceso a memoria por DMA.
- Máquinas algorítmicas. Máquinas multiprocesador.
- Nociones de procesadores de alta prestación

PROGRAMA ANALÍTICO**Unidad 1 : Arquitectura y Organización de Computadoras**

Concepto de Arquitectura de una computadora monoprocesador.

Repaso del modelo de Von Neumann.

Descripción del funcionamiento de un sistema basado en un microprocesador.

Buses, teoría de operación, buses sincrónicos y asincrónicos. Ejemplos.

Ejecución de instrucciones.

Ejecución solapada ("pipeline").

Aplicación en procesadores contemporáneos. Análisis de prestaciones.

Unidad 2 : Subsistema Unidad Central de Procesos

Análisis del trabajo de la CPU. Ejemplificación en procesadores típicos.

Análisis del conjunto de instrucciones de procesadores de uso comercial.

Concepto de máquinas CISC y RISC.

Lineamientos básicos en el diseño de un procesador RISC. Análisis de prestaciones.

Interrupciones: tratamiento general.

Interrupciones por software y por hardware.

Relación entre las interrupciones y el manejo de operaciones de E/S.

Unidad 3 : Subsistema E/S

Concepto de E/S y su relación con la CPU, tipos de puertas.
Concepto de puerta de Entrada y Salida paralelo.
Concepto de puerta de Entrada y Salida serie.
Tipos de transmisión serie.
Descripción del formato de transmisión serie asincrónica y sincrónica.
Descripción funcional de una puerta de E/S serie asincrónica, acceso a registros internos para control y determinación del estado de operación de la puerta.
Mapeado del subsistema E/S y la memoria.
Administración de las puertas por encuesta (polling) o por interrupción.
Tratamiento de la CPU de las operaciones de E/S, por interrupción o por software.
Transferencias de E/S por hardware, DMA, implementación.

Unidad 4 : Subsistema Memoria

Repaso de la organización jerárquica de la memoria, memoria principal y memoria secundaria.
Memoria caché, concepto y descripción, análisis de prestaciones.
Implementación de memoria caché en varios niveles. Acceso. Consistencia.
Conceptos de memoria virtual.

Unidad 5 : Evolución de las arquitecturas y Paralelismo.

Procesadores de múltiples núcleos.
Esquema general. Memoria compartida y distribuida.
Concepto de procesamiento paralelo.
Clasificación de arquitecturas paralelas.
Ejemplos de multicores y aplicaciones.
Parámetros en el análisis de prestaciones.

BIBLIOGRAFÍA

- I- Organización y Arquitectura de Computadoras – Diseño para optimizar prestaciones**, Stallings W., Editorial Prentice Hall.
- II- Organización de Computadoras**, Tanenbaum A., Editorial Prentice Hall.
- III- Arquitectura de Computadores - Un enfoque cuantitativo**, Hennessy & Patterson., Editorial Mc Graw Hill.
- IV- Diseño y evaluación de arquitecturas de computadoras**, Beltrán M. y Guzmán A., Editorial Prentice Hall.
- V- Computer Organization and Embedded Systems**, 6th ed. Hamacher C., Vranesic Z., Zaky S., Manjikian N., Editorial Mc Graw Hill
- VI- Computer Organization and Architecture, 10/E**. Stallings W., Editorial Pearson

METODOLOGÍA DE ENSEÑANZA

El curso tiene 3 hs. semanales de clases teóricas y 3 hs. de clases prácticas con ejercitación de aula y experimentales en sala de computadoras.

Las clases teóricas son dictadas por el Profesor de la asignatura y no son obligatorias.

Las actividades prácticas son obligatorias y con registro de asistencia, supervisadas por el Profesor, coordinadas por el Jefe de Trabajos Prácticos y desarrolladas por los Auxiliares de la asignatura.

Los alumnos deben realizar ejercitación práctica, dirigida y no dirigida, tendiente a reforzar lo aprendido en las clases teóricas.

El reglamento y cronograma tentativo son conocidos por los alumnos desde el inicio de la actividad curricular.

Para las clases teóricas y las explicaciones de práctica se utiliza PC, cañón y pizarrón.

Se utiliza un entorno virtual de enseñanza-aprendizaje (IDEAS), donde se encuentran disponibles clases, guías de TP, avisos, resultados de exámenes, etc.

El dictado de las teorías y las prácticas se realizan de modo presencial, respetando horarios históricos para no colisionar con otras asignaturas.

EVALUACIÓN

Para aprobar el curso de Trabajos Prácticos, los alumnos deben aprobar dos exámenes parciales escritos complementarios. Cada examen parcial posee 2 fechas de recuperación y se realizan diferentes actividades de apoyo personalizado para los mismos.

La aprobación de la materia se podrá lograr por régimen de promoción o con examen final.

Aquellos alumnos que deseen optar por el régimen de promoción deberán Aprobar cada parcial práctico en la primera fecha, Aprobar una evaluación corta de Teoría que se tomará durante el curso (en días y horarios de teoría) y cumplidas las anteriores, podrán rendir una evaluación teórica de promoción que se considerará aprobada con nota mayor de 6 (seis) puntos. En caso de no aprobar tendrá una recuperación al término del semestre.

Los alumnos que tengan aprobada la promoción y se encuentren inscriptos en el curso bajo esta modalidad, tendrán registrada su nota al final del curso. El resto de los alumnos que promocionen, deberán inscribirse en una mesa de exámenes finales para que se registre oficialmente la nota obtenida cuando se cumplan las condiciones reglamentarias.

Los alumnos que hayan aprobado sólo los parciales prácticos, obtendrán la Aprobación de los Trabajos Prácticos y la habilitación para rendir el Examen Final de la asignatura en alguna de las mesas de Finales establecidas en el calendario académico.

CRONOGRAMA DE CLASES Y EVALUACIONES

Teorías: Martes (Aula 10A) y Jueves (Aula 10B) de 10 a 11:30 hs
Prácticas: Miércoles (Aula 10B) y Viernes (Aula 9) de 14 a 15:30 hs:

Semana	Fechas	Contenidos/Actividades
1	11 Marzo	Arquitectura Von Neumann. Ciclo de instrucción.
2	18 Marzo	Pasaje de Argumentos. Pila. Práctica 1
3	25 Marzo	Interrupciones. Controlador de interrupciones.
4	01 Abril	Entrada / Salida. Gestión de E/S. Práctica 2
5	08 Abril	DMA.
6	15 Abril	Sistema de Memoria. Práctica 3
7	22 Abril	Buses del sistema.
8	29 Abril	Segmentación de cauce. Parcial 1
9	06 Mayo	Soluciones a atascos de cauce. Práctica 4
10.	13 Mayo	Evaluación Corta de Teoría (13/5). RISC
11	20 Mayo	Procesadores Superescalares. Práctica 5
12	27 Mayo	Introducción al Procesamiento Paralelo.
13	03 Junio	Procesadores Multicore. Práctica 6
14	18 Junio	Parcial 2
15	24 Junio	Evaluación Teórica Promoción (24/6)
16	15 Julio	Recuperatorio de Evaluación Teórica Promoción (15/7)

Evaluaciones previstas	Fecha
Parcial 1	Miércoles 30 Abril
Recuperatorio 1 Parcial 1	Miércoles 14 Mayo
Parcial 2	Miércoles 18 Junio
Recuperatorio 1 Parcial 2	Miércoles 02 Julio
Recuperatorio 2 de Parcial 1 y/o Parcial 2	Viernes 11 Julio



Contacto de la cátedra:

- **Mail:** hvw@lidi.info.unlp.edu.ar
- **Sitio WEB:** <http://weblidi.info.unlp.edu.ar/catedras/cac/index.html>
- **Plataforma virtual de EAD:** <http://ideas.info.unlp.edu.ar> curso "ACIC-CAC 1er semestre 2025"
- **Otros:** https://portal.info.unlp.edu.ar/portal_info/todos/cartelera-virtual/

Firma del/los profesor/es

Horacio A. VILLABREA