

TALLER DE ARQUITECTURA**Carrera/ Plan:***Ingeniería en Computación Plan 2008/Plan 2011***Año:** 3°**Régimen de Cursada:** Semestral**Carácter (Obligatoria/Optativa):** Obligatoria**Correlativas:** E0301**Profesor/es:** Ing. Horacio Villagarcía Wanza**Hs. semanales teoría:** 3 hs**Hs. semanales práctica:** 3 hs

Año 2023

FUNDAMENTACIÓN

La asignatura propone profundizar los conocimientos de diseño lógico y arquitectura de procesadores explorando, a través de herramientas de simulación del comportamiento de sistemas digitales modelados con lenguajes de descripción de hardware. Estos conocimientos coadyuvarán a que, como profesional, pueda evaluar y/o verificar el comportamiento, eficiencia y confiabilidad de equipamiento informático (hardware).

OBJETIVOS GENERALES

El objetivo de esta asignatura es introducir al alumno en la metodología y uso de herramientas de diseño de circuitos integrados de aplicación específica. Las prácticas propuestas se centran en el desarrollo de sistemas digitales sobre lógica programable. Con las prácticas programadas se pretende cubrir el modelado y descripción de sistemas mediante lenguajes de descripción de hardware (VHDL),

CONTENIDOS MINIMOS (de acuerdo al Plan de Estudios)

- Descripción de circuitos programables: PLD (EPLD y FPGA) y ASIC.
- Conceptos de Lenguajes de descripción de hardware.
- Modelado y simulación de circuitos electrónicos.
- Herramientas para la simulación y síntesis de sistemas digitales basados en VHDL. Diseños en PLD.

PROGRAMA ANALÍTICO

1. Introducción. Evolución del diseño electrónico. Metodologías y flujos de diseño. PLA, Gate Arrays, Standard Cells, Sea of Gates, PLD y ASICs.
2. Lenguajes de descripción de hardware. Lenguaje VHDL. Unidades básicas de diseño: Entity – Architecture – Package – Configuration. Relación entre Unidades de diseño. Librerías.
3. Modelado de circuitos electrónicos. Modelado funcional. Modelado estructural. Bancos de prueba.
4. Conceptos de simulación VHDL. Colas de Señal y tiempos Delta. Sentencias secuenciales: Process, Wait, If-Then-Else, Case, Loop. Sentencias Concurrentes: asignación de Signal, instancias Component, Assert, Generate, Procedures, Functions.
5. Análisis, modelado y simulación de aplicaciones. Ambientes para el desarrollo de aplicaciones.

BIBLIOGRAFÍA

- **Digital Design with CPLD Applications and VHDL**, Robert K. Dueck, Delmar Pub., 2001. ISBN: 0766811603.
- **Diseño de Circuitos Integrados de Aplicación Específica ASIC**, Jean-Pierre Deschamps. Ed. Paraninfo S.A., 1993. ISBN: 84-283-2062-4.
- **VHDL: Hardware Description and Design**, Roger Lipsett, Carl Schaefer, Cary Ussery, Kluger Academic Publishers, 1989. ISBN: 0-7923-9030-X..
- **VHDL. Lenguaje Estándar de Diseño Electrónico**, Lluís Terés, Yago Torroja, Serafín Olcoz, Eugenio Villar, Ed. McGraw Hill, 1998. ISBN: 84-481-1196-6.

METODOLOGÍA DE ENSEÑANZA

El curso consta de clases teórico-prácticas, con énfasis en la ejercitación práctica en computadora desarrolladas en 6 hs semanales.

Las clases son dictadas por el Profesor de la asignatura y las actividades prácticas son supervisadas por el Profesor, coordinadas por el Jefe de Trabajos Prácticos y desarrolladas por los Auxiliares de la asignatura.

Se realizarán trabajos prácticos guiados para ejecución en computadora con presentación escrita de resultados y trabajos monográficos de recopilación/búsqueda/actualización de temas del curso con presentación escrita y oral de los mismos durante el horario disponible. Estas actividades podrán realizarse en forma grupal y serán consideradas parte de las evaluaciones de la asignatura.

El reglamento y cronograma tentativo son conocidos por los alumnos desde el inicio de la actividad curricular.

El dictado de las teorías y las prácticas se realizarán en los días y horarios históricos. Todo el material del curso estará disponible en el entorno de educación a distancia IDEAS, existiendo un curso específico al que podrán acceder si se encuentran inscriptos en SIU Guarani para cursar la asignatura.

EVALUACIÓN

El curso se evalúa en modo continuo mediante evaluaciones basadas en las teorías y los trabajos prácticos realizados y resueltos individualmente. Cada evaluación posee su valoración propia determinada con anterioridad a su ejecución y los resultados obtenidos por cada alumno se van acumulando con el avance del curso. La Nota final máxima es de 10 (diez) puntos.

La aprobación de la materia se podrá lograr por régimen de promoción o con examen final.

La Aprobación de los Trabajos Prácticos y la habilitación para rendir el Examen Final de la asignatura en alguna de las fechas de exámenes finales según el calendario académico se obtiene con una calificación individual mínima de 5 (cinco) puntos.

Los alumnos que deseen Aprobar la asignatura por el régimen de promoción deberán obtener una calificación individual mayor o igual a 7 (siete) puntos.

CRONOGRAMA DE CLASES Y EVALUACIONES

Clases teórico-prácticas Martes (Aula 1-3) de 12 a 14 hs y Viernes (Aula 7) de 11 a 14 hs

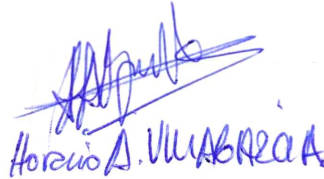
| Clase | Semana | Contenidos/Actividades |
|-------|---------------------|--|
| 1 | 21 Agosto | Lenguajes de descripción de hardware. Presentación de herramienta de simulación. Práctica 1 |
| 2 | 28 Agosto | Elementos básicos del lenguaje VHDL. Práctica 2 |
| 3 | 04 Setiembre | Unidades básicas de diseño: Entidad y Arquitectura. Práctica 3 |
| 4 | 11 Setiembre | Modelado funcional de circuitos electrónicos. Práctica 4 |
| 5 | 18 Setiembre | Modelado estructural de circuitos electrónicos |
| 6 | 25 Setiembre | Conceptos de simulación VHDL. Práctica 5 |
| 7 | 02 Octubre | Unidades básicas de diseño: Paquetes y Configuración. Práctica 6 |
| 8 | 09 Octubre | Librerías. Modelado mixto. Práctica 7 |
| 9 | 16 Octubre | Bancos de pruebas. Práctica 8 |
| 10. | 23 Octubre | Modelado y simulación de un multiplicador. Práctica 9 |
| 11 | 30 Octubre | Modelado y simulación de un procesador sencillo. Práctica 10 |
| 12 | 06 Noviembre | Evolución del diseño electrónico. FPGA. SoC. NoC. |
| 13 | 13 Noviembre | Consultas |

| Evaluaciones previstas | Fecha |
|----------------------------|--------------|
| Evaluación Prácticas 2 y 3 | 22 Setiembre |
| Evaluación Prácticas 4 y 5 | 06 Octubre |
| Evaluación Prácticas 6 y 7 | 20 Octubre |
| Evaluación Práctica 9 | 03 Noviembre |
| Evaluación Práctica 10 | 24 Noviembre |

Contacto de la cátedra:

- **Mail:** hww@lidi.info.unlp.edu.ar
- **Sitio WEB:** <http://weblidi.info.unlp.edu.ar/catedras/TallerArquitectura/index.html>
- **Plataforma virtual de EAD:** <http://ideas.info.unlp.edu.ar> curso "Taller de Arquitectura"
- **Otros:** https://portal.info.unlp.edu.ar/portal_info/todos/cartelera-virtual/

Firma del/los profesor/es:



Horacio A. VUABRECA