

TALLER DE ARQUITECTURA**Carrera/ Plan:***Ingeniería en Computación Plan 2008/Plan 2011***Año:** 3°**Régimen de Cursada:** *Semestral***Carácter (Obligatoria/Optativa):** Obligatoria**Correlativas:** E0301**Profesor/es:** Ing. Horacio Villagarcía Wanza**Hs. semanales:** 6 hs.**Año 2019****FUNDAMENTACIÓN**

La asignatura propone profundizar los conocimientos de diseño lógico y arquitectura de procesadores explorando, a través de herramientas de simulación del comportamiento de sistemas digitales modelados con lenguajes de descripción de hardware. Estos conocimientos coadyuvarán a que como profesional pueda evaluar y/o verificar el comportamiento, eficiencia y confiabilidad de equipamiento informático (hardware).

OBJETIVOS GENERALES

El objetivo de esta asignatura es introducir al alumno en la metodología y uso de herramientas de diseño de circuitos integrados de aplicación específica. Las prácticas propuestas se centran en el desarrollo de sistemas digitales sobre lógica programable. Con las prácticas programadas se pretende cubrir el modelado y descripción de sistemas mediante lenguajes de descripción de hardware (VHDL),

CONTENIDOS MINIMOS (de acuerdo al Plan de Estudios)

- Descripción de circuitos programables: PLD (EPLD y FPGA) y ASIC.
- Conceptos de Lenguajes de descripción de hardware.
- Modelado y simulación de circuitos electrónicos.
- Herramientas para la simulación y síntesis de sistemas digitales basados en VHDL. Diseños en PLD.

PROGRAMA ANALÍTICO

1. Introducción. Evolución del diseño electrónico. Metodologías y flujos de diseño. PLA, Gate Arrays, Standard Cells, Sea of Gates, PLD y ASICs.
2. Lenguajes de descripción de hardware. Lenguaje VHDL. Unidades básicas de diseño: Entity – Architecture – Package – Configuration. Relación entre Unidades de diseño. Librerías.
3. Modelado de circuitos electrónicos. Modelado funcional. Modelado estructural. Bancos de prueba.
4. Conceptos de simulación VHDL. Colas de Señal y tiempos Delta. Sentencias secuenciales: Process, Wait, If-Then-Else, Case, Loop. Sentencias Concurrentes: asignación de Signal, instancias Component, Assert, Generate, Procedures, Functions.
5. Análisis, modelado y simulación de aplicaciones. Ambientes para el desarrollo de aplicaciones.

BIBLIOGRAFÍA

- ***Digital Design with CPLD Applications and VHDL***, Robert K. Dueck,.Delmar Pub., 2001. ISBN: 0766811603.
- ***Diseño de Circuitos Integrados de Aplicación Específica ASIC***, Jean-Pierre Deschamps. Ed. Paraninfo S.A., 1993. ISBN: 84-283-2062-4.
- ***VHDL: Hardware Description and Design***, Roger Lipsett, Carl Schaefer, Cary Ussery, Kluger Academic Publishers, 1989. ISBN: 0-7923-9030-X..
- ***VHDL. Lenguaje Estándar de Diseño Electrónico***, Lluís Terés, Yago Torroja, Serafín Olcoz, Eugenio Villar, Ed. McGraw Hill, 1998. ISBN: 84-481-1196-6.

METODOLOGÍA DE ENSEÑANZA

El curso consta de clases teórico-prácticas, con énfasis en la ejercitación práctica en computadora desarrolladas en 6 hs semanales.

Las clases son dictadas por el Profesor de la asignatura y las actividades prácticas son supervisadas por el Profesor, coordinadas por el Jefe de Trabajos Prácticos y desarrolladas por los Auxiliares de la asignatura.

Se realizarán trabajos prácticos guiados para ejecución en computadora con presentación escrita de resultados y trabajos monográficos de recopilación/búsqueda/actualización de temas del curso con presentación escrita y oral de los mismos durante el horario disponible. Estas actividades podrán realizarse en forma grupal y serán consideradas parte de las evaluaciones de la asignatura.

El reglamento y cronograma tentativo son conocidos por los alumnos desde el inicio de la actividad curricular.

EVALUACIÓN

El curso se evalúa mediante 2 módulos independientes entre sí. El alumno tendrá 2 fechas para rendir cada módulo. La fecha original y un recuperatorio. Al final del curso se tomará una fecha adicional (flotante) para recuperar sólo uno de los módulos.

La aprobación de la materia se podrá lograr por régimen de promoción o con examen final

Los alumnos que deseen aprobar la asignatura por el régimen de promoción deberán obtener en ambos módulos una calificación individual mayor o igual a 5 (cinco) puntos y un promedio general mayor o igual a 6 (seis) puntos. La nota máxima son 10 (diez) puntos.

Los alumnos que hayan aprobado ambos módulos con calificación mayor o igual a 4 (cuatro) puntos obtendrán la Aprobación de los Trabajos Prácticos y la habilitación para rendir el Examen Final de la asignatura en alguna de las fechas de exámenes finales según el calendario académico dónde a través de un coloquio se definirá su calificación final.

CRONOGRAMA DE CLASES Y EVALUACIONES

Clase	Fecha	Contenidos/Actividades
1	23 Agosto	Evolución del diseño electrónico. Presentación de herramienta de simulación. Practica 1
2	30 Agosto	Lenguajes de descripción de hardware. Práctica 2
3	06 Setiembre	Unidades básicas de diseño: Entidad y Arquitectura. Práctica 3
4	13 Setiembre	Modelado funcional de circuitos electrónicos. Práctica 4
5	20 Setiembre	Modelado estructural de circuitos electrónicos. Práctica 5
6	27 Setiembre	Conceptos de simulación VHDL. Práctica 6
7	04 Octubre	Unidades básicas de diseño: Paquetes y Configuración. Evaluación Módulo 1
8	11 Octubre	Librerías. Modelado mixto. Práctica 7
9	18 Octubre	Bancos de pruebas. Práctica 8
10.	25 Octubre	Modelado y simulación de un multiplicador. Práctica 9
11	01 Noviembre	Modelado y simulación de un procesador sencillo. Práctica 10
12	08 Noviembre	Consulta previa a Evaluación Módulo 2

Evaluaciones previstas	Fecha
Evaluación Módulo 1	04 Octubre
Recuperación 1 Evaluación Módulo 1	22 Octubre
Evaluación Módulo 2	15 Noviembre
Recuperación 1 Evaluación Módulo 2	29 Noviembre
Recuperación 2 Evaluación Módulo 1 ó Módulo 2	13 Diciembre

Contacto de la cátedra (mail, sitio WEB, plataforma virtual de gestión de cursos):

<http://weblidi.info.unlp.edu.ar/catedras/TallerArquitectura/index.html>

<http://ideas.info.unlp.edu.ar> curso "Taller de Arquitectura"

Firma del/los profesor/es